

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L6: Entry 11 of 14

File: JPAB

Jun 18, 1990

PUB-NO: JP402157677A

DOCUMENT-IDENTIFIER: JP 02157677 A

TITLE: SEMICONDUCTOR DEVICE WITH SELF-TEST MODE

PUBN-DATE: June 18, 1990

## INVENTOR-INFORMATION:

NAME

COUNTRY

SUGIBAYASHI, NAOHIKO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP63312442

APPL-DATE: December 9, 1988

US-CL-CURRENT: 324/765

INT-CL (IPC): G01R 31/28; G06F 11/22; G11C 29/00; H01L 21/66; H01L 27/04

## ABSTRACT:

PURPOSE: To prevent the product cost from increasing by providing a self-test decision circuit which inputs data to a part to be tested, compares this input data with output data from said part to be tested, and decides whether or not the function of the part to be tested is normal.

CONSTITUTION: When a self-test is conducted, the external power-supply voltage of an external power source 1 is raised exceeding a threshold value preset outside the standard range of the semiconductor device. Then the 2nd circuit 6 generates an internal power source stepping-down signal 5 and a self-test mode signal 7. An internal power source generating circuit 2 generates internal electric power source by stepping down the voltage of the external power source 1 with the internal power source stepping-down signal 5 and supplies it to the semiconductor device principal part 4, etc., through an internal power line 3. The self-test decision circuit 10 compares the data 8 with the data Q from the principal part 4 to decide whether or not the function of the principal part 4 is normal and outputs the result to the 1st circuit 12 as a self-test decision signal 11. Namely, when the principal part 4 functions normally, the self-test decision signal 11 is 'Low' and when not, the signal is 'High'.

COPYRIGHT: (C)1990,JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

Generate Collection

Print

L6: Entry 11 of 14

File: JPAB

Jun 18, 1990

DOCUMENT-IDENTIFIER: JP 02157677 A

TITLE: SEMICONDUCTOR DEVICE WITH SELF-TEST MODE

Abstract Text (2):

CONSTITUTION: When a self-test is conducted, the external power-supply voltage of an external power source 1 is raised exceeding a threshold value preset outside the standard range of the semiconductor device. Then the 2nd circuit 6 generates an internal power source stepping-down signal 5 and a self-test mode signal 7. An internal power source generating circuit 2 generates internal electric power source by stepping down the voltage of the external power source 1 with the internal power source stepping-down signal 5 and supplies it to the semiconductor device principal part 4, etc., through an internal power line 3. The self-test decision circuit 10 compares the data 8 with the data Q from the principal part 4 to decide whether or not the function of the principal part 4 is normal and outputs the result to the 1st circuit 12 as a self-test decision signal 11. Namely, when the principal part 4 functions normally, the self-test decision signal 11 is 'Low' and when not, the signal is 'High'.

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

## ⑫ 公開特許公報(A) 平2-157677

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月18日

G 01 R 31/28  
G 06 F 11/22  
G 11 C 29/00  
H 01 L 21/66  
27/04

3 3 0 F 7368-5B  
3 0 3 B 7737-5B  
F 7376-5F  
T 7514-5F  
6912-2G

G 01 R 31/28

V

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 セルフテストモードを有する半導体装置

⑯ 特 願 昭63-312442

⑰ 出 願 昭63(1988)12月9日

⑱ 発 明 者 杉 林 直 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 藤 巻 正 憲

## 明 細 書

## 1. 発明の名称

セルフテストモードを有する半導体装置

## 2. 特許請求の範囲

(1) 被テスト部にデータを入力し、この入力データと前記被テスト部からの出力データとを比較して被テスト部の機能の合否を判定するセルフテスト判定回路と、このセルフテスト判定回路の判定結果を入力し、その合否に基き第1の状態又は第2の状態を選択的に保持する第1の回路と、この第1の回路の状態を探触するのに使用する端子とを有することを特徴とするセルフテストモードを有する半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はセルフテストモードを有する半導体装置に関する。

〔従来の技術〕

従来、半導体装置は機能試験等により欠陥がないことを確かめてから製品として出荷される。と

ころで、この機能試験に必要な時間は半導体の高集積化に伴い増加している。この試験時間の増加は製品のコストの上昇を招くため、試験の並列処理による試験時間の短縮化が進められているが、この技術では試験装置自体が高価であるため、コストを下げるという意味では効果が少ない。

他の試験時間短縮の手段として、セルフテストモードによる試験がある。第5図は従来のセルフテストモードを有する半導体装置を示すブロック図である。入力端子14a、14bに入力された入力信号15a、15bはセルフテストモード判定回路22に入力される。セルフテストモード判定回路22は入力信号15a、15bが所定のタイミングで入力されると、セルフテストモード信号7をセルフテスト判定回路10に出力する。セルフテスト判定回路10はセルフテストモード信号7により活性化されて主要部4に入力データ8を与え、この入力データ8と主要部4からの出力データ9とを比較する。そして、セルフテスト判定回路10はこの入力データ8と出力データ9との

関係により主要部4に機能的欠陥が存在するか否かを判定し、その結果をセルフテスト判定信号11としてデータアウトバッファ18に出力する。データアウトバッファ18は、セルフテスト判定信号11に基いて、セルフテストが合格か不合格かをその“High”又は“Low”で示す出力信号17を出力端子16に出力する。試験装置はこの出力端子16を介してセルフテストの結果を読み取る。

このセルフテストにおいては、入力データのラッチ及び出力負荷のドライブ等が不要であるため、試験時間が、例えば、8分の1になる等の利点を有しているが、上述したようにセルフテストの可否の測定はセルフテストと一体的に行われている。〔発明が解決しようとする課題〕

上述した従来のセルフテストモードを有する半導体装置においては、セルフテストとその可否の測定は分離して行うことができないため、可否の測定にあたっては半導体装置の高集積化に伴う試験時間増加の要因であるところのセルフテスト自

体の影響を解消することはできない。従って、このようなセルフテスト機能を用いたとしても、試験時間が僅かに短縮されるだけで、高集積化に伴う試験時間増加に対する根本的な対策とはならないという問題点がある。

本発明はかかる問題点に鑑みてなされたものであって、セルフテストの結果をセルフテスト実施後はいつでも測定可能として、機能試験の時間短縮に有効なセルフテストモードを有する半導体装置を提供することを目的とする。

#### 〔課題を解決するための手段〕

本発明に係るセルフテストモードを有する半導体装置は、被テスト部にデータを入力し、この入力データと前記被テスト部からの出力データとを比較して被テスト部の機能の可否を判定するセルフテスト判定回路と、このセルフテスト判定回路の判定結果を入力し、その可否に基き第1の状態又は第2の状態を選択的に保持する第1の回路と、この第1の回路の状態を探触するのに使用する端子とを有することを特徴とする。

#### 〔作用〕

本発明においては、セルフテスト判定回路により判定された被テスト部の機能の可否は、第1の回路において第1の状態又は第2の状態として保持されるため、可否の判定はセルフテストから分離して認識することができる。このため、セルフテスト自体とその可否の測定とを分離して別々の試験装置で別の工程で行うことができるので、一旦セルフテストを実施すれば、その可否の結果をいつでも認識することができる。従って、セルフテストを外部電源電圧の操作等により、簡易に行っておけば、多機能で高価な試験装置を使用して可否判定を行うとしても、大幅に試験時間を短縮することができる。

また、第1の回路の第1の状態及び第2の状態は、例えば、ヒューズの切断の有無として保持することができる。更に、その状態は入力端子の入力リーク電流又は出力端子への出力信号として検出することができるので、極めて簡素な装置を使用して可否を判定（測定）することができる。

#### 〔実施例〕

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の第1の実施例を示すブロック図である。

外部電源1からの外部電源電圧は、内部電源生成回路2、第2の回路6及び第1の回路12に与えられる。内部電源生成回路2は内部電源線3を介して半導体装置主要部4等に電源を供給する。第2の回路6は外部電源1から規格外の電源電圧を入力すると、内部電源降圧信号5及びセルフテストモード信号7を夫々内部電源生成回路2及びセルフテスト判定回路10に出力する。内部電源生成回路2は内部電源降圧信号5を入力すると、主要部4等に供給する内部電源を低下させる。セルフテスト判定回路10はセルフテストモード信号7を入力すると、主要部4にデータ8を出力すると共に、主要部4からの出力データ9を入力し、両データ8、9を比較する。そして、セルフテスト判定回路10はデータ8、9を比較した結果、

合格の場合は“Low”の、また、不合格の場合は“High”のセルフテスト判定信号11を第1の回路12に出力する。

第1の回路12はセルフテスト判定信号11に基づいて第1の状態又は第2の状態を選択的に保持する。この第1の回路12の状態は、入力端子14に試験装置を接続し、入力端子14を介して第1の回路12に信号15を入力させることにより検出される。

第2図は第1の回路12の具体例を示す回路図である。NチャネルMOSトランジスタ $Q_1$ 、 $Q_2$ 及び $Q_3$ はダイオードトランジスタを構成し、このNチャネルMOSトランジスタ $Q_1$ 、 $Q_2$ 、 $Q_3$ と、電流ヒューズ21と、NチャネルMOSトランジスタ $Q_4$ とは、入力端子14と接地との間に縦続接続されている。トランジスタ $Q_1$ のゲート及びドレインは入力端子14に接続され、トランジスタ $Q_2$ のゲート及びドレインはトランジスタ $Q_1$ のソースに接続され、トランジスタ $Q_3$ のゲート及びドレインはトランジスタ $Q_2$ のソー

스에接続されている。電流ヒューズ21はトランジスタ $Q_3$ のソースとトランジスタ $Q_4$ のドレインとの間に接続され、トランジスタ $Q_4$ のソースは接地されている。トランジスタ $Q_4$ のゲートにはセルフテスト判定信号11が入力される。

NチャネルMOSトランジスタ $Q_4$ はそのドレインがトランジスタ $Q_3$ のゲートに接続され、そのゲート及びソースはトランジスタ $Q_4$ のドレインに接続されている。NチャネルMOSトランジスタ $Q_3$ のドレインは外部電源線13に接続され、ドレインは電流ヒューズ21とトランジスタ $Q_3$ のソースとの接続点に接続されている。NチャネルMOSトランジスタ $Q_2$ のドレインはセルフテスト判定信号11に接続され、そのソースはトランジスタ $Q_3$ のゲートに接続されている。また、トランジスタ $Q_4$ のゲートは内部電源線3に接続されている。そして、PチャネルMOSトランジスタ $Q_7$ のソースは内部電源線3に接続され、そのドレインはトランジスタ $Q_4$ のドレインに接続されている。また、トランジスタ $Q_7$ のゲートは

トランジスタ $Q_4$ のゲートに接続されていて、セルフテスト判定信号11が入力される。

次に、このように構成された第1の実施例の動作について以下に説明する。

セルフテストを行うにあたっては、外部電源1の外部電源電圧を半導体装置の規格外に予め設定した閾値を超えるまでに上昇させる。そうすると、第2の回路6が内部電源降圧信号5及びセルフテストモード信号7を生成する。内部電源降圧信号5により内部電源生成回路2は外部電源1の電圧を降圧した内部電源を生成し、これを内部電源線3を介して半導体装置主要部4等に供給する。一方、セルフテストモード信号7によりセルフテスト判定回路10が活性化される。その結果、セルフテスト判定回路10はデータ8を生成し、主要部4に出力すると共に、主要部4は入力データ8に対応してデータ9をセルフテスト判定回路10に出力する。

セルフテスト判定回路10はデータ8と主要部4からのデータ9とを比較することにより、主要

部4の機能の可否の判定を行い、その結果をセルフテスト判定信号11として第1の回路12に出力する。即ち、主要部4の機能が合格の場合には、セルフテスト判定信号11は“Low”、また、不合格の場合には“High”になる。

ここで、機能試験の結果が不合格であったとすると、“High”の判定信号11が第1の回路12に入力され、第2図において、トランジスタ $Q_3$ 及び $Q_4$ が導通し、外部電源線13から電流ヒューズ21を介して接地に大電流が流れる。電流ヒューズ21はこの電流により切断される。また、機能が合格であったときには、“Low”の判定信号11が第1の回路12に入力され、トランジスタ $Q_3$ 及び $Q_4$ はカットオフ状態となり、電流ヒューズ21には電流は流れず切断されない。以上の動作は外部電源1のみの設定により行うことができ、試験装置を入力端子14に接続する必要はない。

一方、セルフテストの判定時には、入力端子14に試験装置を接続し、内部電源線3の電圧にト

ランジスタ $Q_1$ 、 $Q_2$ 及び $Q_3$ の閾値電圧 $V_T$ の3倍の電圧を加えた電圧以上の電圧を入力端子14に印加する。これにより、電流ヒューズ21が切断されている場合には、入力端子14から接地への入力リーク電流は流れないが、電流ヒューズ21が切断されていない場合には、内部電源線3との間に入力リーク電流が流れる。なお、この場合の電流ヒューズ21における電位差は小さいので電流ヒューズ21が切れることはない。従って、入力端子14に所定の電圧を印加して入力リーク電流の有無を検出することにより、セルフテストの判定結果をいつでも知ることができる。このセルフテストの判定結果を知るのに必要な試験装置の機能は入力端子14のリーク電流を測定することだけで足りるので、簡素な構成の装置で極めて迅速に試験をすることができる。

第3図は本発明の第2の実施例を示すブロック図である。第3図において、第1図と同一物には同一符号を付して説明を省略する。この第2の実施例において、第1の実施例との相違点は内部電

源生成回路2aがセルフテストモードとは無関係に外部電源1の降圧を行うことに加え、第1の回路12aがセルフテストの合否をデータアウト制御信号19として、データアウトバッファ18aに出力することである。即ち、セルフテスト判定信号11が“Low”で合格の場合には、第1の回路12aはデータアウト制御信号19を出力してデータアウトバッファ18aを介して出力端子20に“High”のデータアウト信号を出力させ、セルフテスト判定信号11が“High”で不合格の場合は、第1の回路12aはデータアウトバッファ18aを介して“Low”の信号を出力端子20に出力させる。

本実施例では、合否の判定を出力端子20における出力レベルで行うため、第1の実施例に比して、測定を速く行うことができるという利点がある。また、本実施例においては、セルフテストモードに入るためのタイミングをセットアップ時間及びホールド時間等のタイミング関係に余裕を持たせて設定しておくことにより、第2の回路6の

代わりにセルフテストモード判定回路22(第5図参照)を使用することも可能である。

次に、本発明の第3の実施例について説明する。この実施例は、第1図の第1の回路12として、第4図にその構成を示すものを使用する。第4図に示すように、NチャネルMOSトランジスタ $Q_9$ のドレインは外部電源線13を介して外部電源1に接続され、ゲートにはセルフテスト判定信号11が与えられ、そのソースは電流ヒューズ21に接続されている。電流ヒューズ21の他端は接地されている。電流ヒューズ21より極めて大きな抵抗値を有する高抵抗素子23は内部電源線3とPチャネルMOSトランジスタ $Q_{10}$ のソースとの間に接続されている。トランジスタ $Q_{10}$ のゲートにはセルフテスト判定信号11が与えられ、ドレインは節点 $N_1$ を介してトランジスタ $Q_9$ のソースに接続されている。

PチャネルMOSトランジスタ $Q_{11}$ 及びNチャネルMOSトランジスタ $Q_{12}$ はCMOSインバータ $I_1$ を構成し、PチャネルMOSトランジスタ

$Q_{13}$ 及びNチャネルMOSトランジスタ $Q_{14}$ はCMOSインバータ $I_2$ を構成する。インバータ $I_1$ の入力はトランジスタ $Q_{10}$ のドレイン(節点 $N_1$ )に接続され、その出力はインバータ $I_2$ の入力となる。また、インバータ $I_2$ の出力はNチャネルMOSトランジスタ $Q_{15}$ のゲートに接続されている。トランジスタ $Q_{15}$ のドレインは入力端子14に接続され、そのソースは接地されている。

次に、このように構成された第3の実施例の動作について以下に説明する。セルフテストの結果が不合格であった場合には、セルフテスト判定信号11は“High”となるため、トランジスタ $Q_9$ は導通し、電流ヒューズ21を介して接地に大電流が流れ、電流ヒューズ21が切断される。この結果、セルフテストの合否の測定時の節点 $N_1$ の電位は、セルフテスト判定信号11が“Low”の場合にはトランジスタ $Q_{10}$ が導通し、“High”の場合にはトランジスタ $Q_9$ が導通するため、いずれにしても“High”となる。従って、トランジスタ $Q_{15}$ は導通する。一方、セルフテストの結果が

合格であった場合には、電流ヒューズ21は切断されないため、節点N1の電位は“Low”となり、トランジスタQ15はカットオフ状態となる。

このように本実施例では、入力端子14がトランジスタQ15により直接駆動され、入力リーク電流を発生させるため、セルフテストの結果を特別な手段を要することなく、通常の入力端子リーク電流を測定する方法により知ることができるという利点を有する。

#### [発明の効果]

以上説明したように本発明は、一旦セルフテストを実行すれば、その合否結果が第1の回路に保持されるため、いつでも、その合否結果を知ることができる。また、セルフテストは電源のみの操作により行うことができ、そのセルフテストの結果の判定は第1の回路の状態を測定するだけでよいので、迅速に、且つ、極めて簡素で安価な試験装置を使用して行うことができる。また、多機能で高価な試験装置を使用してその合否を判定するとしても、予め、セルフテストを電源の操作で行

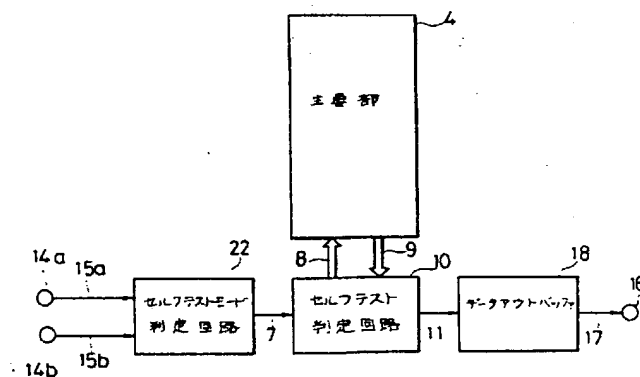
っておけば、合否の測定は極めて短時間で知ることができるため、そのスループットが向上し、大幅に半導体装置の製造コストを低減することができる。このようにして、本発明によれば、半導体装置の高集積化に伴う機能試験時間の増加による製品コストの増加を、根本的に解消することができるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図は同じくその第1の回路を示す回路図、第3図は本発明の第2の実施例を示すブロック図、第4図は本発明の第3の実施例の第1の回路を示す回路図、第5図は従来装置を示すブロック図である。

1；外部電源、2，2a；内部電源生成回路、3；内部電源線、4；主要部、5；内部電源降圧信号、6；第2の回路、7；セルフテストモード信号、8；セルフテスト入力データ、9；セルフテスト出力データ、10；セルフテスト判定回路、11；セルフテスト判定信号、12，12a；第

1の回路、13；外部電源線、14，14a，14b；入力端子、15，15a，15b；入力信号、16；出力端子、17；出力信号、18，18a；データアウトバッファ、19；データアウト制御信号、20；出力端子、21；電流ヒューズ、22；セルフテストモード判定回路、23；高抵抗素子、Q1，Q2，Q3，Q4，Q5，Q6，Q8，Q9，Q12，Q14，Q15；NチャネルMOSトランジスタ、Q7，Q10，Q11，Q13；PチャネルMOSトランジスタ、I1，I2；CMOSインバータ

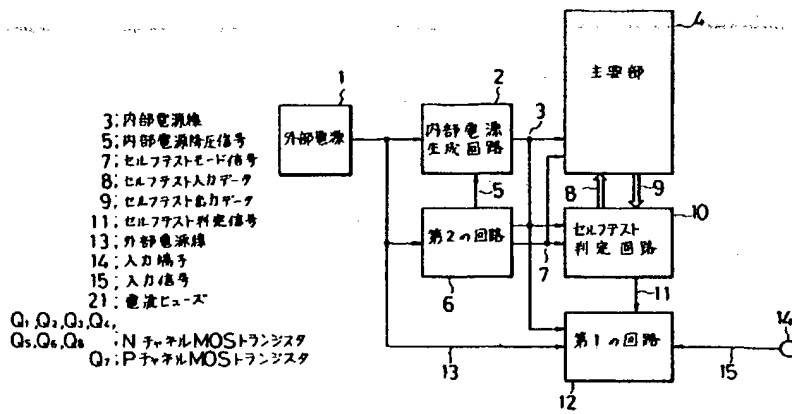


第 5 図

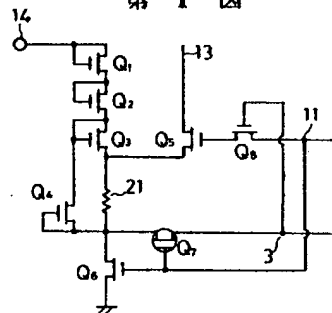
出願人 日本電気株式会社

代理人 弁理士 藤巻正憲

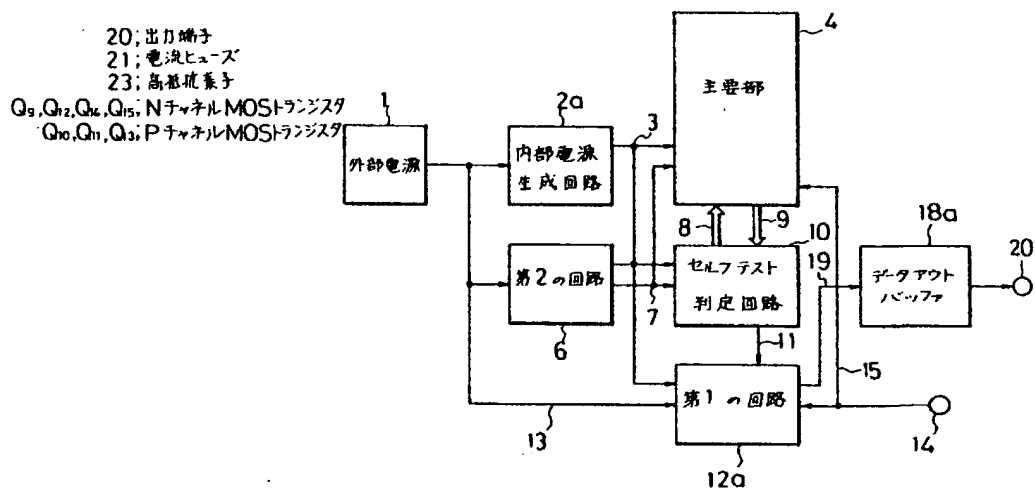




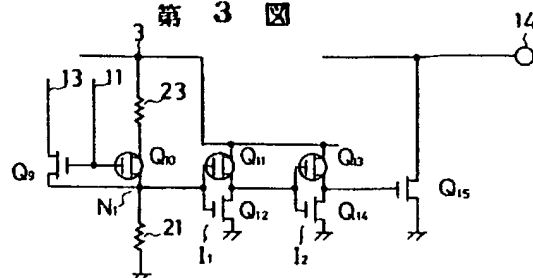
第 1 図



第 2 図



第 3 図



第 4 図